

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the manufacture approach of the semiconductor integrated circuit equipment which forms a resist pattern on a semi-conductor wafer using an electron ray direct writing technique. (a) The process which draws a pattern to said 1st resist with an almost fixed dose using electron ray direct writing equipment after applying the 1st resist on the . aforementioned semi-conductor wafer, (b) The process which performs 1st BEKU processing to the . aforementioned semi-conductor wafer, and the process which forms the 1st resist pattern on said semi-conductor wafer by performing the 1st development to the (c). aforementioned semi-conductor wafer, (d) The process which measures the dimension of said 1st resist pattern within the . aforementioned semi-conductor wafer side, and collects the dimension data of a resist pattern, (e) The process which inputs the dimension amendment map of said resist pattern into said electron ray direct writing equipment after creating the dimension amendment map of the resist pattern within said semi-conductor wafer side from the dimension data of the . aforementioned resist pattern, (f) The process which creates the amendment map of the exposure for every shot of the electron ray within said semi-conductor wafer side from the dimension amendment map of the . aforementioned resist pattern, (g) After removing the 1st resist pattern of . above, the 2nd resist is applied on said semi-conductor wafer. Subsequently The process which draws a pattern to said 2nd resist using said electron ray direct writing equipment with the dose specified from the amendment map of the dose for every shot of said electron ray, (h) The manufacture approach of the semiconductor integrated circuit equipment characterized by having the process which performs 2nd BEKU processing to the . aforementioned semi-conductor wafer, and the process which forms the 2nd resist pattern on said semi-conductor wafer by performing the 2nd development to the (i). aforementioned semi-conductor wafer.

[Claim 2] It is the manufacture approach of the semiconductor integrated circuit equipment which forms a resist pattern on a semi-conductor wafer using an electron ray direct writing technique. (a) The process which draws a pattern to said 1st resist in almost fixed shot size using electron ray direct writing equipment after applying the 1st resist on the . aforementioned semi-conductor wafer, (b) The process which performs 1st BEKU processing to the . aforementioned semi-conductor wafer, and the process which forms the 1st resist pattern on said semi-conductor wafer by performing the 1st development to the (c). aforementioned semi-conductor wafer, (d) The process which measures the dimension of said 1st resist pattern within the . aforementioned semi-conductor wafer side, and collects the dimension data of a resist pattern, (e) The process which inputs the dimension amendment map of said resist pattern into said electron ray direct writing equipment after creating the dimension amendment map of the resist pattern within said semi-conductor wafer side from the dimension data of the . aforementioned resist pattern, (f) The process which creates the amendment map of the shot size for every shot of the electron ray within said semi-conductor wafer side from the dimension amendment map of the . aforementioned resist pattern, (g) After removing the 1st resist pattern of . above, the 2nd resist is applied on said semi-conductor wafer. Subsequently The process which draws a pattern to said 2nd resist using said electron ray direct writing equipment in the

shot size specified from the amendment map of the shot size for every shot of said electron ray, (h) The manufacture approach of the semiconductor integrated circuit equipment characterized by having the process which performs 2nd BEKU processing to the . aforementioned semi-conductor wafer, and the process which forms the 2nd resist pattern on said semi-conductor wafer by performing the 2nd development to the (i). aforementioned semi-conductor wafer.

[Claim 3] It is the manufacture approach of the semiconductor integrated circuit equipment which forms a resist pattern on a semi-conductor wafer using an electron ray direct writing technique. (a) The process which draws a pattern to said 1st resist with an almost fixed dose using electron ray direct writing equipment after applying the 1st resist on the . aforementioned semi-conductor wafer, (b) The process which performs 1st BEKU processing to the . aforementioned semi-conductor wafer, and the process which forms the 1st resist pattern on said semi-conductor wafer by performing the 1st development to the (c). aforementioned semi-conductor wafer, (d) The process which measures the dimension of said 1st resist pattern within the . aforementioned semi-conductor wafer side, and collects the dimension data of a resist pattern, (e) The process which inputs the dimension amendment map of said resist pattern into said electron ray direct writing equipment after creating the dimension amendment map of the resist pattern within said semi-conductor wafer side from the dimension data of the . aforementioned resist pattern, (f) The process which creates the amendment map of the exposure for every semiconductor chip of the electron ray within said semi-conductor wafer side from the dimension amendment map of the . aforementioned resist pattern, (g) After removing the 1st resist pattern of . above, the 2nd resist is applied on said semi-conductor wafer. Subsequently The process which draws a pattern to said 2nd resist using said electron ray direct writing equipment with the dose specified from the amendment map of the dose for every semiconductor chip of said electron ray, (h) The manufacture approach of the semiconductor integrated circuit equipment characterized by having the process which performs 2nd BEKU processing to the . aforementioned semi-conductor wafer, and the process which forms the 2nd resist pattern on said semi-conductor wafer by performing the 2nd development to the (i). aforementioned semi-conductor wafer.

[Claim 4] It is the manufacture approach of the semiconductor integrated circuit equipment which forms a resist pattern on a semi-conductor wafer using an electron ray direct writing technique. (a) The process which draws a pattern to said 1st resist with an almost fixed dose using electron ray direct writing equipment after applying the 1st resist on the . aforementioned semi-conductor wafer, (b) The process which performs 1st BEKU processing to said semi-conductor wafer with almost fixed baking temperature using . BEKU furnace, (c) The process which forms the 1st resist pattern on said semi-conductor wafer by performing the 1st development to the . aforementioned semi-conductor wafer, (d) The process which measures the dimension of said 1st resist pattern within the . aforementioned semi-conductor wafer side, and collects the dimension data of a resist pattern, (e) The process which inputs the dimension amendment map of said resist pattern into said BEKU furnace after creating the dimension amendment map of the resist pattern within said semi-conductor wafer side from the dimension data of the . aforementioned resist pattern, (f) The process which creates the amendment map of the baking temperature for every semiconductor chip within said semi-conductor wafer side from the dimension amendment map of the . aforementioned resist pattern, (g) After removing the 1st resist pattern of . above, the 2nd resist is applied on said semi-conductor wafer. Subsequently using said electron ray direct writing equipment with the process which draws a pattern to said 2nd resist with said dose of about 1 law (h) The process which performs 2nd BEKU processing to said semi-conductor wafer using the . aforementioned BEKU furnace with the baking temperature specified from the amendment map of the baking temperature for said every semiconductor chip, (i) The manufacture approach of the semiconductor integrated circuit equipment characterized by having the process which forms the 2nd resist pattern on said semi-conductor wafer by performing the 2nd development to the . aforementioned semi-conductor wafer.

[Claim 5] In the manufacture approach of semiconductor integrated circuit equipment given in any 1 term of claims 1-4 Between the process which performs 2nd BEKU processing between

the process which performs 1st BEKU processing to said semi-conductor wafer, and the processes which perform the 1st development to said semi-conductor wafer, and to said semi-conductor wafer, and the process which performs the 2nd development to said semi-conductor wafer. The manufacture approach of the semiconductor integrated circuit equipment characterized by having the process which performs cooling processing to said semi-conductor wafer.

[Claim 6] It is the manufacture approach of the semiconductor integrated circuit equipment characterized by measuring 3-5 dimensions of said 1st resist pattern within a semiconductor chip in the manufacture approach of semiconductor integrated circuit equipment given in any 1 term of claims 1-4.

[Claim 7] It is the manufacture approach of the semiconductor integrated circuit equipment characterized by performing said 1st BEKU processing and said 2nd BEKU processing to said semi-conductor wafer at the temperature of 100 degrees C or less in the manufacture approach of semiconductor integrated circuit equipment given in any 1 term of claims 1-4.

[Claim 8] It is the manufacturing installation of the semiconductor integrated circuit equipment which forms a resist pattern on a semi-conductor wafer using an electron ray direct writing technique. From the dimension amendment map of the resist pattern within said semi-conductor wafer side The amendment map of the exposure for every shot of an electron ray or the amendment map of the shot size for every shot of an electron ray is created. In the shot size specified from the amendment map of the exposure specified from the amendment map of the exposure for every shot of said electron ray, or the shot size for every shot of said electron ray The manufacturing installation of the semiconductor integrated circuit equipment characterized by drawing a pattern to the resist applied on said semi-conductor wafer.

[Claim 9] The manufacturing installation of the semiconductor integrated circuit equipment which is a manufacturing installation of the semiconductor integrated circuit equipment which forms a resist pattern on a semi-conductor wafer using an electron ray direct-writing technique, and is characterized by to draw a pattern to the resist applied on said semi-conductor wafer with the dose which creates the amendment map of the dose for every semiconductor chip of an electron ray, and is specified from the amendment map of the dose for every semiconductor chip of said electron ray from the dimension amendment map of the resist pattern within said semi-conductor wafer side.

[Claim 10] The manufacturing installation of the semiconductor integrated circuit equipment which is a manufacturing installation of semiconductor integrated circuit equipment which performs BEKU processing to said semi-conductor wafer, and is characterized by to perform BEKU processing to said semi-conductor wafer with the baking temperature which creates the amendment map of the baking temperature for every semiconductor chip, and is specified from the amendment map of the baking temperature for every semiconductor chip of said from the dimension amendment map of the resist pattern within said semi-conductor wafer side after drawing a pattern to the resist applied on the semi-conductor wafer.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention is applied to the semiconductor integrated circuit equipment especially formed using an electron ray direct writing technique about the manufacturing technology of semiconductor integrated circuit equipment, and relates to an effective technique.

[0002]

[Description of the Prior Art] It is the technique which operates the electron ray which an electron ray direct writing technique is thin on this semi-conductor substrate after applying to the front face of a semi-conductor substrate the coat of a resist which has sensibility in an electron ray, and was extracted based on the design data of semiconductor integrated circuit equipment, draws a pattern to the above-mentioned resist, develops this, and forms the pattern of a resist directly on a semi-conductor substrate. Therefore, an electron ray direct writing technique can have the resolution which can draw a detailed pattern, and can draw a pattern with a sufficient precision.

[0003] However, the demand to high resolution is still severer with detailed-izing of semiconductor integrated circuit equipment. Then, also in the electron ray direct writing technique, after drawing a pattern to the resist applied on the semi-conductor substrate, improvement in resolution is achieved by performing PEB (Post Exposure Bake) processing to a semi-conductor substrate. That is, equalize diffusion to the sensitization agent photodissociated in the resist, concentration distribution of a lifting and a sensitization agent is made to equalize in the direction of thickness of a resist, and the resolution of a resist is made to improve by performing PEB processing.

[0004] In addition, PEB processing is indicated by issue, the Tokuyama *****, and P59 on Ohm-Sha issue "micro-machining technical" February 25, Heisei 9, for example.

[0005]

[Problem(s) to be Solved by the Invention] However, this invention person set on the electron ray direct writing technique which adopted said PEB processing, and found out the trouble that dimension dispersion of the resist pattern within a semi-conductor wafer side became large with 20-30nm.

[0006] That is, at the BEKU furnace which performs PEB processing, it will be difficult to control the baking temperature of the whole surface of a semi-conductor wafer to homogeneity, and dispersion will arise in baking temperature. Dispersion in this baking temperature is the big factor of dimension dispersion of a resist pattern.

[0007] The purpose of this invention is to offer the technique in which the semiconductor integrated circuit equipment which has a highly precise detailed pattern is realizable.

[0008] The other purposes and the new description will become clear from description and the accompanying drawing of this specification along [said] this invention.

[0009]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application. That is, first, in case the manufacture

approach of the semiconductor integrated circuit equipment of (1) this invention forms a resist pattern on a semi-conductor wafer using an electron ray direct writing technique, after it applies the 1st resist on a semi-conductor wafer, it draws a pattern to said 1st resist with an almost fixed dose using electron ray direct writing equipment. Next, after performing 1st PEB processing to a semi-conductor wafer, by performing the 1st development to a semi-conductor wafer, the 1st resist pattern is formed on a semi-conductor wafer, and, subsequently to a semi-conductor wafer top, the dimension of the 1st formed resist pattern is measured. Next, after collecting the dimension data of the 1st resist pattern within a semi-conductor wafer side, the dimension amendment map of the 1st resist pattern within a semi-conductor wafer side is created from the dimension data of the 1st resist pattern, and, subsequently the dimension amendment map of the 1st resist pattern is inputted into electron ray direct writing equipment. Next, after creating the amendment map of the dose for every shot of the electron ray within a semi-conductor wafer side from the dimension amendment map of the 1st resist pattern, the 1st resist pattern is removed and, subsequently to a semi-conductor wafer top, the 2nd resist is applied. Next, after drawing a pattern to the 2nd resist using electron ray direct writing equipment with the dose specified from the amendment map of the dose for every shot of an electron ray, 2nd PEB processing is performed to a semi-conductor wafer, and, subsequently to a semi-conductor wafer, the 2nd resist pattern is formed on a semi-conductor wafer by performing the 2nd development.

[0010] (2) Moreover, it is electron ray direct writing equipment which forms a resist pattern on a semi-conductor wafer using an electron ray direct writing technique, and from the dimension amendment map of the resist pattern within a semi-conductor wafer side, the manufacturing installation of the semiconductor integrated circuit equipment of this invention creates the amendment map of the exposure for every shot of an electron ray, it is the exposure specified from the amendment map of the exposure for every shot of an electron ray, and draws a pattern to the resist applied on the semi-conductor wafer.

[0011] Since it becomes possible to suppress dimension dispersion of the resist pattern within a semi-conductor wafer side by amending the dose for every shot of the electron ray in electron ray direct writing equipment according to the above-mentioned means, the small highly precise resist pattern of dimension dispersion can be formed, and the dimensional accuracy of the detailed pattern within a semi-conductor wafer side improves.

[0012]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail based on a drawing.

[0013] In addition, what has the same function in the complete diagram for explaining the gestalt of operation attaches the same sign, and explanation of the repeat is omitted.

[0014] (Gestalt 1 of operation) The dimension amendment approach of the resist pattern which is the gestalt of 1 operation of this invention is explained using the dimension of the resist pattern within the semi-conductor wafer side indicated to be the process 100 shown in drawing 1 - a process 110 to drawing 2 - drawing 5, the dimension amendment map of a resist pattern, and the amendment map of the exposure for every shot of an electron ray.

[0015] First, after removing the foreign matter of the front face of a semi-conductor wafer, or a rear face, the resist of a positive type or a negative mold is applied to homogeneity by the rotation applying method on the front face of a semi-conductor wafer (process 100). This approach is the approach of placing a semi-conductor wafer on a spin chuck, dispersing a resist with a centrifugal force, and forming the resist of uniform thickness in the front face of a semi-conductor wafer.

[0016] Next, after setting a semi-conductor wafer in electron ray direct writing equipment, based on a design data, an electron ray is irradiated with an almost fixed dose, and bridge formation or collapse of a component is produced with the electron which carried out incidence into the macromolecule which constitutes a resist (process 101). That is, when a resist is irradiated by the electron, the molecular weight of an exposure part and the molecular weight of a non-irradiating part are made to produce a difference by the polymerization by the decomposition by principal chain cutting of a molecule, or association of principal chains.

[0017] Next, PEB processing for about 2 minutes is performed to a semi-conductor wafer at the temperature of 95 degrees C using a PEB furnace (process 102).

[0018] Next, cooling processing for about 1 minute is performed to a semi-conductor wafer at the temperature of 22 degrees C (process 103).

[0019] Next, after making a developer dropped at the front face of a semi-conductor wafer, piling it using surface tension and performing a development predetermined time, by performing the rinse in pure water, and rotation desiccation continuously, the field where the molecular weight of the resist on a semi-conductor wafer is low is dissolved; it leaves the field where molecular weight is high, and a resist pattern is formed (process 104).

[0020] Next, the dimension of a resist pattern is measured (process 105) and the dimension data of the resist pattern within a semi-conductor wafer side as shown in drawing 2 are collected (process 106). Although drawing 2 has indicated only the dimension of one resist pattern in each semiconductor chip, within each semiconductor chip, the dimension of two or more 3-5 resist patterns is measured, for example. When the dimension of a resist pattern is in the specification which is 0.220 ± 0.005 micrometers, it progresses to the following process, after inspecting alignment of a resist pattern (process 107).

[0021] On the other hand, when the dimension data of a resist pattern are substandard next, after creating the dimension amendment map of the resist pattern within the semi-conductor wafer side shown in drawing 3 from the dimension data of the resist pattern within the semi-conductor wafer side shown in said drawing 2 (process 108), this dimension amendment map is inputted into electron ray direct writing equipment (process 109).

[0022] Subsequently, the amendment map of the exposure for every shot of the electron ray shown in drawing 4 is created from the dimension amendment map of the resist pattern within the semi-conductor wafer side shown in said drawing 3 (process 110). Then, the resist of uniform thickness is again applied to the front face of a semi-conductor wafer (process 100), and, subsequently to said drawing 4, an electron ray is irradiated by the resist with the optimal dose for every shot based on the amendment map of the dose for every shot of the shown electron ray (process 101).

[0023] Next, after performing PEB processing of a process 102, cooling processing of a process 103, and the development of a process 104 to a semi-conductor wafer, the dimension of the formed resist pattern is measured (process 105).

[0024] The dimension of the resist pattern within the semi-conductor wafer side acquired by irradiating an electron ray at drawing 5 based on the amendment map of the exposure for every shot of the electron ray shown in said drawing 4 is shown. Although dimension dispersion of the resist pattern formed without amending the dose of an electron ray is 20-30nm or more as shown in said drawing 2, dimension dispersion of the resist pattern which amended the dose for every shot of an electron ray, and was formed is set to 5nm or less.

[0025] Next, it explains using the important section sectional view of the semi-conductor substrate in which the bipolar transistor which showed the bipolar transistor with the wiring layer formed with the application of the dimension amendment approach of the resist pattern which is the gestalt 1 of this operation to drawing 6 is shown.

[0026] First, the important section cross-section structure of a bipolar transistor is explained briefly. The bipolar transistor is constituted considering semi-conductor substrate 1a of p mold which consists of single crystal silicon as a subject. On the principal plane of this semi-conductor substrate 1a, the laminating of the n mold epitaxial layer 2 is carried out, and the active region (component formation field) is further established in the principal plane of semi-conductor substrate 1a. The rear face of semi-conductor substrate 1a consists of oxidation silicone film 1b and support substrate 1c.

[0027] It embeds between said semi-conductor substrate 1a and n mold epitaxial layer 2, and the n-type-semiconductor field 3 of a mold is formed in the active region. Said active region is electrically separated by the component isolation region with other surrounding active regions. The component isolation region mainly consists of isolation insulator layers 4 and 5, for example, oxidation silicone films.

[0028] The bipolar transistor is formed in said active region. This bipolar transistor consists of

vertical structures which carried out the sequential array of each of n mold collector field, p mold base region, and n mold emitter region.

[0029] n mold collector field consists of an n mold epitaxial layer 2, a n-type-semiconductor field 3 of an embedding mold, and a n-type-semiconductor field 6 for collector potential raising. p mold base region consists of p type semiconductor fields 8 which are the p type semiconductor field 7 and the intrinsic base region which are a graft base field. n mold emitter region consists of n-type-semiconductor fields 9.

[0030] Tungsten wiring (it abbreviates to W wiring below) 10a is connected to said n-type-semiconductor field 6 for collector potential raising through collector opening 4a.

[0031] The end of the electrode 11 for base drawers is connected to the p type semiconductor field 7 which is p mold base region through base opening 4b. W wiring 10b is formed in the other end of the electrode 11 for base drawers through the connection hole 13 formed in insulator layers 12a and 12b.

[0032] The electrode 14 for emitter drawers is connected to the n-type-semiconductor field 9 which is n mold emitter region through emitter opening 4c. The electrode 14 for emitter drawers is electrically connected with W wiring 10c through the connection hole 15 formed in insulator layer 12a. In addition, the electrode 14 for emitter drawers consists of polycrystal silicone films with which n mold impurity (As) or Lynn (P), for example, arsenic, was introduced.

[0033] The W wiring 10a, 10b, and 10c which constitutes the 1st-layer wiring is covered with the 1st interlayer insulation film 16, 17, and 18 constituted with an oxidation silicone film.

[0034] On the 1st interlayer insulation film 16 and 17 and 18, the tungsten / aluminum / tungsten cascade screen 19 (it abbreviates to W/aluminum/W laminating wiring below) which constitutes the 2nd-layer wiring are formed, and it has connected with the W wiring 10a, 10b, and 10c which is the 1st-layer wiring through the connection hole 20 formed in the 1st interlayer insulation film 16 and 18.

[0035] In order to carry semiconductor devices, such as a bipolar transistor, in high accumulation on a semiconductor chip, wiring width of face needs to set to 1.0 micrometers, a tooth space needs to set this W/aluminum/W laminating wiring 19 to 1.0 micrometers or less, and the processing technique of a highly precise wiring layer is required. Therefore, the W/aluminum/W laminating wiring 19 is formed using the dimension amendment approach of the resist pattern which is the gestalt 1 of said the operation of this.

[0036] Next, the formation approach of said W/aluminum/W laminating wiring 19 is explained.

[0037] first, the sputtering method and CVD (Chemical Vapor Deposition) — the lower layer tungsten film is formed by consecutive processing with law. This lower layer tungsten film has a good adhesive property to the 1st interlayer insulation film 16 and 18 of a substrate, and has good covering nature to the connection hole 20.

[0038] Next, the sequential deposition of an interlayer's aluminum film and upper tungsten film is carried out on the lower layer tungsten film. This aluminum film is aluminum monolayer or silicon (Si), copper (Cu), or aluminium alloy film containing both Si and Cu, and it is used in order to lower resistance of wiring. The concentration of Cu in the ARUMINIMU alloy film is 3.0% or less, and Cu is effective in reducing the electromigration of wiring.

[0039] The lower layer tungsten film which constitutes the W/aluminum/W laminating wiring 19 consists of about 0.2-micrometer tungsten film deposited with the tungsten film with a thickness of about 0.05 micrometers formed by the sputtering method, and a CVD method, and the thickness of about 0.6 micrometers and the upper tungsten film of the thickness of an interlayer's aluminum layer is about 0.05 micrometers.

[0040] Next, the resist pattern for processing a W/aluminum/W cascade screen is formed in the front face of the upper tungsten film using the dimension amendment approach of said resist pattern.

[0041] That is, as shown in said drawing 1, after applying a resist on the upper tungsten film first (said process 100), an electron ray is irradiated at a resist (said process 101), and, subsequently to a semi-conductor wafer, a resist pattern is formed by performing PEB processing (said process 102), cooling processing (said process 103), and a development (said process 104) one by one. Subsequently, if the dimension of the resist pattern measured in the

development dimensional inspection after a development (said process 105) is in specification (said process 106), it will progress to the following process, after inspecting alignment of a resist pattern (said process 107).

[0042] However, when the dimension of a resist pattern is substandard, after creating the dimension amendment map of the resist pattern within a semi-conductor wafer side from the dimension data of a resist pattern (said process 108), this dimension amendment map is inputted into electron ray direct writing equipment (said process 109), and, subsequently the amendment map of the exposure for every shot is created from a dimension amendment map (said process 110).

[0043] Then, the resist pattern on a semi-conductor wafer is removed, again, a resist is applied on the upper tungsten film (said process 100), and, subsequently an electron ray is irradiated with the optimal dose for every shot at a resist based on the amendment map of the dose for every shot (said process 101). Next, resist pattern formation is carried out by performing PEB processing (said process 102), cooling processing (said process 103), and a development (said process 104) to a semi-conductor wafer one by one.

[0044] Next, the W/aluminum/W laminating wiring 19 which constitutes the 2nd-layer wiring is formed by using the above-mentioned resist pattern as a mask, and etching a W/aluminum/W cascade screen.

[0045] The W/aluminum/W laminating wiring 19 which constitutes the 2nd-layer wiring is covered with the 2nd interlayer insulation film 21, 22, and 23. Furthermore, on the 2nd interlayer insulation film 21 and 22 and 23, the W/aluminum/W laminating wiring 24 which constitutes the 3rd-layer wiring is formed, and the W/aluminum/W laminating wiring 24 is connected with the W/aluminum/W laminating wiring 19 which is the 2nd-layer wiring through the connection hole 25.

[0046] The W/aluminum/W laminating wiring 24 which constitutes the 3rd-layer wiring is covered with the 3rd interlayer insulation film 26, 27, and 28. Furthermore, on the 3rd interlayer insulation film 26 and 27 and 28, the W/aluminum/W laminating wiring 29 which constitutes the 4th-layer wiring is formed, and the W/aluminum/W laminating wiring 29 is connected with the W/aluminum/W laminating wiring 24 which is the 3rd-layer wiring through the connection hole 30.

[0047] The W/aluminum/W laminating wiring 29 which constitutes the 4th-layer wiring is covered with the 4th interlayer insulation film 31, 32, and 33. Furthermore, on the 4th interlayer insulation film 31 and 32 and 33, the W/aluminum/W laminating wiring 34 which constitutes the 5th-layer wiring is formed, and the W/aluminum/W laminating wiring 34 is connected with the W/aluminum/W laminating wiring 29 which is the 4th-layer wiring through the connection hole 35.

[0048] The W/aluminum/W laminating wiring 34 which constitutes the 5th-layer wiring is covered with the 5th interlayer insulation film 36, 37, and 38. Furthermore, on the 5th interlayer insulation film 36 and 37 and 38, the aluminum wiring (it abbreviates to aluminum wiring below) 39 which constitutes the 6th-layer wiring is formed, and the aluminum wiring 39 is connected with the W/aluminum/W laminating wiring 34 which is the 5th-layer wiring through the connection hole 40. In addition, Cu wiring may be used for the 6th-layer wiring.

[0049] The final passivation film 41 and 42 is formed on the aluminum wiring 39 which constitutes the 6th-layer wiring. The final passivation film 41 is constituted by the silicon nitride film, and the final passivation film 42 is constituted by for example, the oxidation silicone film.

[0050] On the final passivation film 41 and 42, the BLM (Ball Limiting Metallurgy) film 43 as drawer wiring for external terminals is formed, and connection between the BLM film 43 and the aluminum wiring 39 which is the 6th-layer wiring is made through the connection hole 45. the BLM film 43 has structure which carried out the laminating of chromium (Cr), Cu, and the gold (Au) one by one — the external terminal (bonding pad) 44 is formed on the BLM film 43.

[0051] In addition, although the amendment map of the dose for every shot of an electron ray was created and the electron ray was irradiated by the resist with the optimal dose for every shot with the gestalt 1 of said operation based on this from the dimension amendment map of the resist pattern within a semi-conductor wafer side The amendment map of the shot size for

every shot of an electron ray may be created, and an electron ray may be irradiated in the optimal shot size for every shot at a resist based on this from the dimension amendment map of the resist pattern within a semi-conductor wafer side.

[0052] Thus, since according to the gestalt 1 of this operation it becomes possible to suppress dimension dispersion of the resist pattern by dispersion in the baking temperature of PEB processing etc. by amending the dose for every shot of the electron ray in electron ray direct writing equipment in case a detailed pattern like the wiring layer of a bipolar transistor is formed, for example, the small highly precise resist pattern of dimension dispersion can be formed, and the dimensional accuracy of the detailed pattern within a semi-conductor wafer side improves.

[0053] (Gestalt 2 of operation) Drawing 7 is the process 100 - process 110 which show the dimension amendment approach of the resist pattern which is the gestalt of other operations of this invention, and drawing 8 is an example of the data of the dose for every semiconductor chip of the electron ray created with electron ray direct writing equipment.

[0054] With the gestalt 2 of this operation, first, like said process 100 shown in said drawing 1 of the gestalt 1 of said operation - the aforementioned process 105, after forming a resist pattern on a semi-conductor wafer, the dimension of a resist pattern is measured (process 105) and the dimension data of the resist pattern within a semi-conductor wafer side are collected (process 106). When the dimension data of a resist pattern are in specification, it progresses to the following process, after inspecting alignment of a resist pattern (process 107).

[0055] On the other hand, when the dimension data of a resist pattern are substandard next, after creating the dimension amendment map of the resist pattern within a semi-conductor wafer side from the dimension data of the resist pattern within a semi-conductor wafer side (process 108), this dimension amendment map is inputted into electron ray direct writing equipment (process 109).

[0056] Subsequently, the dose data for every semiconductor chip of the electron ray shown in drawing 8 are created from the dimension amendment map of the resist pattern within a semi-conductor wafer side (process 110). Then, the resist of uniform thickness is again applied to the front face of a semi-conductor wafer (process 100), and, subsequently to said drawing 8, an electron ray is irradiated by the resist with the optimal dose for every semiconductor chip based on the dose data for every semiconductor chip of the shown electron ray (process 101).

[0057] Next, after performing PEB processing of a process 102, cooling processing of a process 103, and the development of a process 104 to a semi-conductor wafer, the dimension of the formed resist pattern is measured (process 105).

[0058] Thus, since according to the gestalt 2 of this operation the dose data for every semiconductor chip of an electron ray are created from the dimension amendment map of the resist pattern inputted into electron ray direct writing equipment and an electron ray is irradiated by the resist with the optimal dose for every semiconductor chip, processing speed improves rather than the approach by which an electron ray is irradiated by the resist with the optimal dose for every shot.

[0059] (Gestalt 3 of operation) Drawing 9 is the process 100 - process 110 which show the dimension amendment approach of the resist pattern which is the gestalt of other operations of this invention.

[0060] With the gestalt 3 of this operation, first, like said process 100 shown in said drawing 1 of the gestalt 1 of said operation - the aforementioned process 105, after forming a resist pattern on a semi-conductor wafer, the dimension of a resist pattern is measured (process 105) and the dimension data of the resist pattern within a semi-conductor wafer side are collected (process 106). When the dimension data of a resist pattern are in specification, it progresses to the following process, after inspecting alignment of a resist pattern (process 107).

[0061] On the other hand, when the dimension data of a resist pattern are substandard next, after creating the dimension amendment map of the resist pattern within a semi-conductor wafer side from the dimension data of the resist pattern within a semi-conductor wafer side (process 108), this dimension amendment map is inputted into a BEKU furnace control unit (process 109).

[0062] Subsequently, the baking temperature data of the PEB processing for every

semiconductor chip are created from the dimension amendment map of the resist pattern within a semi-conductor wafer side (process 110). Then, the resist of uniform thickness is again applied to the front face of a semi-conductor wafer (process 100), and an electron ray is irradiated by the resist with a subsequently almost fixed dose (process 101).

[0063] Next, PEB processing of a process 102 is performed to a semi-conductor wafer. In this PEB processing, since PEB processing is performed with the optimal baking temperature for every semiconductor chip based on the baking temperature data of the PEB processing for every semiconductor chip, dimension dispersion of the resist pattern on a semi-conductor wafer becomes small.

[0064] Next, after performing cooling processing of a process 103, and the development of a process 104 to a semi-conductor wafer, the dimension of the formed resist pattern is measured (process 105).

[0065] Thus, since according to the gestalt 3 of this operation the baking temperature data of PEB processing are created for every semiconductor chip from the dimension amendment map of the resist pattern inputted into the BEKU furnace control device and PEB processing is performed with the optimal baking temperature for every semiconductor chip, the dimensional accuracy of a resist pattern improves.

[0066] As mentioned above, although invention made by this invention person was concretely explained based on the gestalt of implementation of invention, it cannot be overemphasized that it can change variously in the range which this invention is not limited to the gestalt of said operation, and does not deviate from the summary.

[0067] For example, although the gestalt 1 of said operation explained the case where the dimension amendment approach of a resist pattern was applied to the manufacture approach of wiring of the 2nd layer of a bipolar transistor, it is applicable to the manufacture approach of any semiconductor integrated circuit equipments of being able to apply also to the manufacture approach of other wiring layers of the above-mentioned bipolar transistor, and having a detailed pattern.

[0068]

[Effect of the Invention] It will be as follows if the effectiveness acquired by the typical thing among invention indicated by this application is explained briefly.

[0069] According to this invention, since it becomes possible to improve the dimensional accuracy of the resist pattern within a semi-conductor wafer side, the small highly precise detailed pattern of dimension dispersion can be formed on a semi-conductor wafer by processing it by using this resist pattern as a mask.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-297584

(43) 公開日 平成11年(1999)10月29日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/027

H 0 1 L 21/30

5 4 1 M

審査請求 未請求 請求項の数10 O L (全 11 頁)

(21) 出願番号 特願平10-98626

(22) 出願日 平成10年(1998)4月10日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72) 発明者 不動 秀企巳

東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

(74) 代理人 弁理士 筒井 大和

最終頁に続く

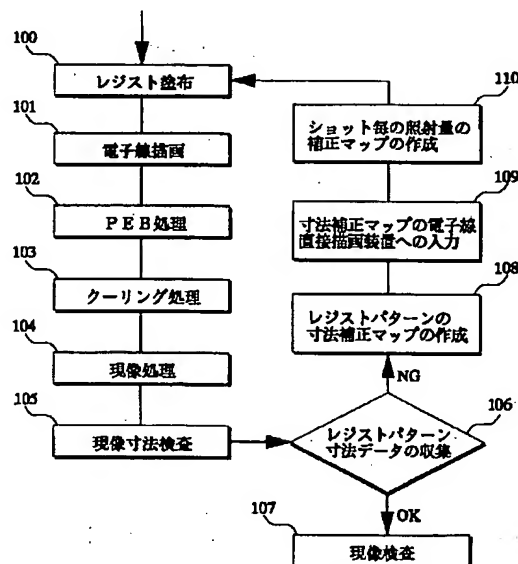
(54) 【発明の名称】 半導体集積回路装置の製造方法および製造装置

(57) 【要約】

【課題】 高精度な微細パターンを有する半導体集積回路装置を実現することのできる技術を提供する。

【解決手段】 半導体ウエハ上に形成されたレジストパターンの寸法データを収集した後、上記寸法データから半導体ウエハ面内におけるレジストパターンの寸法補正マップを作成し、この寸法補正マップを電子線直接描画装置へ入力する。次に、寸法補正マップから電子線のショット毎の照射量の補正マップを作成した後、この電子線のショット毎の照射量の補正マップに基づいてショット毎に最適な照射量で電子線をレジストに照射する。

図 1



【特許請求の範囲】

【請求項 1】 電子線直接描画技術を用いて半導体ウエハ上にレジストパターンを形成する半導体集積回路装置の製造方法であって、

(a).前記半導体ウエハ上に第 1 のレジストを塗布した後、電子線直接描画装置を用いて、ほぼ一定の照射量で前記第 1 のレジストにパターンを描画する工程と、

(b).前記半導体ウエハに第 1 のベーク処理を施す工程と、

(c).前記半導体ウエハに第 1 の現像処理を施すことによって前記半導体ウエハ上に第 1 のレジストパターンを形成する工程と、

(d).前記半導体ウエハ面内における前記第 1 のレジストパターンの寸法を測定してレジストパターンの寸法データを収集する工程と、

(e).前記レジストパターンの寸法データから前記半導体ウエハ面内におけるレジストパターンの寸法補正マップを作成した後、前記レジストパターンの寸法補正マップを前記電子線直接描画装置へ入力する工程と、

(f).前記レジストパターンの寸法補正マップから前記半導体ウエハ面内における電子線のショット毎の照射量の補正マップを作成する工程と、

(g).前記第 1 のレジストパターンを除去した後、前記半導体ウエハ上に第 2 のレジストを塗布し、次いで、前記電子線直接描画装置を用いて、前記電子線のショット毎の照射量の補正マップから指定される照射量で前記第 2 のレジストにパターンを描画する工程と、

(h).前記半導体ウエハに第 2 のベーク処理を施す工程と、

(i).前記半導体ウエハに第 2 の現像処理を施すことによって前記半導体ウエハ上に第 2 のレジストパターンを形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項 2】 電子線直接描画技術を用いて半導体ウエハ上にレジストパターンを形成する半導体集積回路装置の製造方法であって、

(a).前記半導体ウエハ上に第 1 のレジストを塗布した後、電子線直接描画装置を用いて、ほぼ一定のショットサイズで前記第 1 のレジストにパターンを描画する工程と、

(b).前記半導体ウエハに第 1 のベーク処理を施す工程と、

(c).前記半導体ウエハに第 1 の現像処理を施すことによって前記半導体ウエハ上に第 1 のレジストパターンを形成する工程と、

(d).前記半導体ウエハ面内における前記第 1 のレジストパターンの寸法を測定してレジストパターンの寸法データを収集する工程と、

(e).前記レジストパターンの寸法データから前記半導体ウエハ面内におけるレジストパターンの寸法補正マップ

を作成した後、前記レジストパターンの寸法補正マップを前記電子線直接描画装置へ入力する工程と、

(f).前記レジストパターンの寸法補正マップから前記半導体ウエハ面内における電子線のショット毎のショットサイズの補正マップを作成する工程と、

(g).前記第 1 のレジストパターンを除去した後、前記半導体ウエハ上に第 2 のレジストを塗布し、次いで、前記電子線直接描画装置を用いて、前記電子線のショット毎のショットサイズの補正マップから指定されるショットサイズで前記第 2 のレジストにパターンを描画する工程と、

(h).前記半導体ウエハに第 2 のベーク処理を施す工程と、

(i).前記半導体ウエハに第 2 の現像処理を施すことによって前記半導体ウエハ上に第 2 のレジストパターンを形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項 3】 電子線直接描画技術を用いて半導体ウエハ上にレジストパターンを形成する半導体集積回路装置の製造方法であって、

(a).前記半導体ウエハ上に第 1 のレジストを塗布した後、電子線直接描画装置を用いて、ほぼ一定の照射量で前記第 1 のレジストにパターンを描画する工程と、

(b).前記半導体ウエハに第 1 のベーク処理を施す工程と、

(c).前記半導体ウエハに第 1 の現像処理を施すことによって前記半導体ウエハ上に第 1 のレジストパターンを形成する工程と、

(d).前記半導体ウエハ面内における前記第 1 のレジストパターンの寸法を測定してレジストパターンの寸法データを収集する工程と、

(e).前記レジストパターンの寸法データから前記半導体ウエハ面内におけるレジストパターンの寸法補正マップを作成した後、前記レジストパターンの寸法補正マップを前記電子線直接描画装置へ入力する工程と、

(f).前記レジストパターンの寸法補正マップから前記半導体ウエハ面内における電子線の半導体チップ毎の照射量の補正マップを作成する工程と、

(g).前記第 1 のレジストパターンを除去した後、前記半導体ウエハ上に第 2 のレジストを塗布し、次いで、前記電子線直接描画装置を用いて、前記電子線の半導体チップ毎の照射量の補正マップから指定される照射量で前記第 2 のレジストにパターンを描画する工程と、

(h).前記半導体ウエハに第 2 のベーク処理を施す工程と、

(i).前記半導体ウエハに第 2 の現像処理を施すことによって前記半導体ウエハ上に第 2 のレジストパターンを形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項 4】 電子線直接描画技術を用いて半導体ウエ

ハ上にレジストパターンを形成する半導体集積回路装置の製造方法であって、

(a).前記半導体ウエハ上に第1のレジストを塗布した後、電子線直接描画装置を用いて、ほぼ一定の照射量で前記第1のレジストにパターンを描画する工程と、

(b).ベーク炉を用いて、ほぼ一定のベーク温度で前記半導体ウエハに第1のベーク処理を施す工程と、

(c).前記半導体ウエハに第1の現像処理を施すことによって前記半導体ウエハ上に第1のレジストパターンを形成する工程と、

(d).前記半導体ウエハ面内における前記第1のレジストパターンの寸法を測定してレジストパターンの寸法データを収集する工程と、

(e).前記レジストパターンの寸法データから前記半導体ウエハ面内におけるレジストパターンの寸法補正マップを作成した後、前記レジストパターンの寸法補正マップを前記ベーク炉へ入力する工程と、

(f).前記レジストパターンの寸法補正マップから前記半導体ウエハ面内における半導体チップ毎のベーク温度の補正マップを作成する工程と、

(g).前記第1のレジストパターンを除去した後、前記半導体ウエハ上に第2のレジストを塗布し、次いで、前記電子線直接描画装置を用いて、ほぼ一定の前記照射量で前記第2のレジストにパターンを描画する工程と、

(h).前記ベーク炉を用いて、前記半導体チップ毎のベーク温度の補正マップから指定されるベーク温度で前記半導体ウエハに第2のベーク処理を施す工程と、

(i).前記半導体ウエハに第2の現像処理を施すことによって前記半導体ウエハ上に第2のレジストパターンを形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項5】 請求項1から4のいずれか1項に記載の半導体集積回路装置の製造方法において、前記半導体ウエハに第1のベーク処理を施す工程と前記半導体ウエハに第1の現像処理を施す工程との間、および前記半導体ウエハに第2のベーク処理を施す工程と前記半導体ウエハに第2の現像処理を施す工程との間に、前記半導体ウエハにクーリング処理を施す工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項6】 請求項1から4のいずれか1項に記載の半導体集積回路装置の製造方法において、前記第1のレジストパターンの寸法は、半導体チップ内で3～5点測定されることを特徴とする半導体集積回路装置の製造方法。

【請求項7】 請求項1から4のいずれか1項に記載の半導体集積回路装置の製造方法において、前記第1のベーク処理および前記第2のベーク処理は、100℃以下の温度で前記半導体ウエハに施されることを特徴とする半導体集積回路装置の製造方法。

【請求項8】 電子線直接描画技術を用いて半導体ウエ

ハ上にレジストパターンを形成する半導体集積回路装置の製造装置であって、前記半導体ウエハ面内におけるレジストパターンの寸法補正マップから、電子線のショット毎の照射量の補正マップまたは電子線のショット毎のショットサイズの補正マップを作成し、前記電子線のショット毎の照射量の補正マップから指定される照射量または前記電子線のショット毎のショットサイズの補正マップから指定されるショットサイズで、前記半導体ウエハ上に塗布されたレジストにパターンを描画することを特徴とする半導体集積回路装置の製造装置。

【請求項9】 電子線直接描画技術を用いて半導体ウエハ上にレジストパターンを形成する半導体集積回路装置の製造装置であって、前記半導体ウエハ面内におけるレジストパターンの寸法補正マップから、電子線の半導体チップ毎の照射量の補正マップを作成し、前記電子線の半導体チップ毎の照射量の補正マップから指定される照射量で、前記半導体ウエハ上に塗布されたレジストにパターンを描画することを特徴とする半導体集積回路装置の製造装置。

20 【請求項10】 半導体ウエハ上に塗布されたレジストにパターンを描画した後、前記半導体ウエハにベーク処理を施す半導体集積回路装置の製造装置であって、前記半導体ウエハ面内におけるレジストパターンの寸法補正マップから、半導体チップ毎のベーク温度の補正マップを作成し、前記半導体チップ毎のベーク温度の補正マップから指定されるベーク温度で、前記半導体ウエハにベーク処理が施されることを特徴とする半導体集積回路装置の製造装置。

【発明の詳細な説明】

30 【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の製造技術に関し、特に、電子線直接描画技術を用いて形成される半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】電子線直接描画技術とは、電子線に感度をもつレジストの被膜を半導体基板の表面に塗布した後、この半導体基板上で細く絞った電子線を半導体集積回路装置の設計データに基づき操作して上記レジストにパターンを描画し、これを現像してレジストのパターンを半導体基板上に直接形成する技術である。従って、電子線直接描画技術は、微細なパターンを描画できる解像度を持ち、また、精度よくパターンを描画することができる。

【0003】しかし、半導体集積回路装置の微細化に伴って、高解像度への要求はますます厳しくなっている。そこで、電子線直接描画技術においても、半導体基板上に塗布されたレジストにパターンを描画した後、半導体基板にPEB (Post Exposure Bake) 処理を施すことによって、解像度の向上が図られている。すなわち、PE

B処理を施すことによって、レジスト中の光分解した感光剤に拡散を起こし、感光剤の濃度分布をレジストの膜厚方向に均一化させてレジストの解像度を改善させている。

【0004】なお、PEB処理については、たとえば、オーム社発行「超微細加工技術」平成9年2月25日発行、徳山巍編著、P59に記載されている。

【0005】

【発明が解決しようとする課題】しかしながら、本発明者は、前記PEB処理を採用した電子線直接描画技術において、半導体ウエハ面内におけるレジストパターンの寸法ばらつきが20~30nmと大きくなるという問題点を見いだした。

【0006】すなわち、PEB処理を行なうベーク炉では、半導体ウエハの全面のベーク温度を均一に制御することが難しく、ベーク温度にばらつきが生じてしまう。このベーク温度のばらつきがレジストパターンの寸法ばらつきの大きな要因となっている。

【0007】本発明の目的は、高精度な微細パターンを有する半導体集積回路装置を実現することのできる技術を提供することにある。

【0008】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。すなわち、(1)本発明の半導体集積回路装置の製造方法は、電子線直接描画技術を用いて半導体ウエハ上にレジストパターンを形成する際、まず、半導体ウエハ上に第1のレジストを塗布した後、電子線直接描画装置を用いて、ほぼ一定の照射量で前記第1のレジストにパターンを描画する。次に、半導体ウエハに第1のPEB処理を施した後、半導体ウエハに第1の現像処理を施すことによって半導体ウエハ上に第1のレジストパターンを形成し、次いで、半導体ウエハ上に形成された第1のレジストパターンの寸法を測定する。次に、半導体ウエハ面内における第1のレジストパターンの寸法データを収集した後、第1のレジストパターンの寸法データから半導体ウエハ面内における第1のレジストパターンの寸法補正マップを作成し、次いで、第1のレジストパターンの寸法補正マップを電子線直接描画装置へ入力する。次に、第1のレジストパターンの寸法補正マップから半導体ウエハ面内における電子線のショット毎の照射量の補正マップを作成した後、第1のレジストパターンを除去し、次いで、半導体ウエハ上に第2のレジストを塗布する。次に、電子線直接描画装置を用いて、電子線のショット毎の照射量の補正マップから指定される照射量で第2のレジストにパターンを描画した後、半導体ウエハに第2のPEB処理を施し、次いで、

半導体ウエハに第2の現像処理を施すことによって半導体ウエハ上に第2のレジストパターンを形成するものである。

【0010】(2)また、本発明の半導体集積回路装置の製造装置は、電子線直接描画技術を用いて半導体ウエハ上にレジストパターンを形成する電子線直接描画装置であって、半導体ウエハ面内におけるレジストパターンの寸法補正マップから、電子線のショット毎の照射量の補正マップを作成し、電子線のショット毎の照射量の補正マップから指定される照射量で、半導体ウエハ上に塗布されたレジストにパターンを描画するものである。

【0011】上記した手段によれば、電子線直接描画装置における電子線のショット毎の照射量を補正することによって、半導体ウエハ面内におけるレジストパターンの寸法ばらつきを抑えることが可能となるので、寸法ばらつきの小さい高精度なレジストパターンを形成することができ、半導体ウエハ面内における微細パターンの寸法精度が向上する。

【0012】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0013】なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0014】(実施の形態1)本発明の一実施の形態であるレジストパターンの寸法補正方法を図1に示す工程100~工程110と、図2~図5に示す半導体ウエハ面内におけるレジストパターンの寸法、レジストパターンの寸法補正マップおよび電子線のショット毎の照射量の補正マップとを用いて説明する。

【0015】まず、初めに、半導体ウエハの表面または裏面の異物を除去した後、半導体ウエハの表面に、回転塗布法によってポジ型またはネガ型のレジストを均一に塗布する(工程100)。この方法は、半導体ウエハをスピンドラック上に置き、レジストを遠心力で飛散させて半導体ウエハの表面に均一な厚さのレジストを形成する方法である。

【0016】次に、半導体ウエハを電子線直接描画装置にセットした後、設計データに基づいてほぼ一定の照射量で電子線を照射して、レジストを構成する高分子中に入射した電子によって構成分子の架橋または崩壊を生じさせる(工程101)。すなわち、レジストが電子に照射されると、分子の主鎖切断による分解または主鎖同士との結合による重合によって、照射部分の分子量と非照射部分の分子量とに差を生じさせる。

【0017】次に、PEB炉を用いて、半導体ウエハに、たとえば95℃の温度で約2分間のPEB処理を施す(工程102)。

【0018】次に、半導体ウエハに、たとえば22℃の温度で約1分間のクーリング処理を施す(工程10

3)。

【0019】次に、現像液を半導体ウエハの表面に滴下させて表面張力を利用して盛り、現像処理を所定の時間行なった後、純水でのリンス、回転乾燥を連続的に行なうことによって、半導体ウエハ上のレジストの分子量の低い領域が溶解され、分子量の高い領域を残してレジストパターンが形成される(工程104)。

【0020】次に、レジストパターンの寸法を測定して(工程105)、図2に示すような半導体ウエハ面内のレジストパターンの寸法データを収集する(工程106)。図2では、各々の半導体チップ内の1ヶ所のレジストパターンの寸法しか記載していないが、各々の半導体チップ内では、たとえば3~5ヶ所の複数のレジストパターンの寸法が測定される。レジストパターンの寸法が $0.220 \pm 0.005 \mu\text{m}$ の規格内の場合、レジストパターンの位置合わせの検査を行なった後(工程107)、次の工程へと進む。

【0021】一方、レジストパターンの寸法データが規格外の場合は、次に、前記図2に示した半導体ウエハ面内のレジストパターンの寸法データから、図3に示す半導体ウエハ面内のレジストパターンの寸法補正マップを作成した後(工程108)、この寸法補正マップを電子線直接描画装置へ入力する(工程109)。

【0022】次いで、前記図3に示した半導体ウエハ面内のレジストパターンの寸法補正マップから、図4に示す電子線のショット毎の照射量の補正マップを作成する(工程110)。この後、再び、半導体ウエハの表面に均一な厚さのレジストを塗布し(工程100)、次いで、前記図4に示した電子線のショット毎の照射量の補正マップに基づいてショット毎に最適な照射量で電子線がレジストに照射される(工程101)。

【0023】次に、工程102のPEB処理、工程103のクーリング処理および工程104の現像処理を半導体ウエハに施した後、形成されたレジストパターンの寸法を測定する(工程105)。

【0024】図5に、前記図4に示した電子線のショット毎の照射量の補正マップに基づいて電子線を照射することによって得られた半導体ウエハ面内のレジストパターンの寸法を示す。電子線の照射量を補正せずに形成されたレジストパターンの寸法ばらつきは、前記図2に示したように $20 \sim 30 \text{ nm}$ 以上であるが、電子線のショット毎の照射量を補正して形成されたレジストパターンの寸法ばらつきは 5 nm 以下となる。

【0025】次に、本実施の形態1であるレジストパターンの寸法補正方法を適用して形成される配線層を有したバイポーラトランジスタを、図6に示したバイポーラトランジスタを示す半導体基板の要部断面図を用いて説明する。

【0026】まず、バイポーラトランジスタの要部断面構造を簡単に説明する。バイポーラトランジスタは、単

結晶シリコンからなるp型の半導体基板1aを主体として構成されている。この半導体基板1aの主面上にはn型エピタキシャル層2が積層されており、さらに、半導体基板1aの主面には活性領域(素子形成領域)が設けられている。半導体基板1aの裏面は、酸化シリコン膜1bおよび支持基板1cで構成されている。

【0027】活性領域には、前記半導体基板1aとn型エピタキシャル層2との間に埋め込み型のn型半導体領域3が形成されている。前記活性領域は素子分離領域によって周囲の他の活性領域と電気的に分離されている。素子分離領域は主に素子分離絶縁膜、たとえば酸化シリコン膜4、5で構成されている。

【0028】前記活性領域にはバイポーラトランジスタが形成されている。このバイポーラトランジスタはn型コレクタ領域、p型ベース領域、n型エミッタ領域のそれぞれを順次配列した縦構造で構成されている。

【0029】n型コレクタ領域はn型エピタキシャル層2、埋め込み型のn型半導体領域3およびコレクタ電位引き上げ用n型半導体領域6で構成されている。p型ベース領域はグラフトベース領域であるp型半導体領域7および真性ベース領域であるp型半導体領域8で構成されている。n型エミッタ領域はn型半導体領域9で構成されている。

【0030】前記コレクタ電位引き上げ用n型半導体領域6には、コレクタ開口部4aを通してタングステン配線(以下W配線と略す)10aが接続されている。

【0031】p型ベース領域であるp型半導体領域7には、ベース開口部4bを通してベース引き出し用電極11の一端が接続されている。ベース引き出し用電極11の他端には、絶縁膜12a、12bに形成された接続孔13を通してW配線10bが形成されている。

【0032】n型エミッタ領域であるn型半導体領域9には、エミッタ開口部4cを通してエミッタ引き出し用電極14が接続されている。エミッタ引き出し用電極14は絶縁膜12aに形成された接続孔15を通してW配線10cと電気的に接続されている。なお、エミッタ引き出し用電極14はn型不純物、たとえば砒素(As)またはリン(P)が導入された多結晶シリコン膜で構成されている。

【0033】第1層目の配線を構成するW配線10a、10b、10cは、酸化シリコン膜によって構成される第1の層間絶縁膜16、17、18で覆われている。

【0034】第1の層間絶縁膜16、17、18上には、第2層目の配線を構成するタングステン/アルミニウム/タングステン積層膜(以下W/A1/W積層配線と略す)19が形成されており、第1の層間絶縁膜16、18に形成された接続孔20を通して第1層目の配線であるW配線10a、10b、10cと接続している。

【0035】半導体チップ上に高集積にバイポーラトラ

ンジスタなどの半導体素子を搭載するためには、このW/A1/W積層配線19は、配線幅が1.0 μ m、スペースが1.0 μ m以下とする必要があり、高精度な配線層の加工技術が要求される。従って、W/A1/W積層配線19は、前記本実施の形態1であるレジストパターンの寸法補正方法を用いて形成される。

【0036】次に、前記W/A1/W積層配線19の形成方法について説明する。

【0037】まず、スパッタリング法とCVD (Chemical Vapor Deposition) 法との連続処理によって下層タングステン膜を成膜する。この下層タングステン膜は、下地の第1の層間絶縁膜16、18に対して良好な接着性を有し、かつ、接続孔20に対して良好な被覆性を有している。

【0038】次に、下層タングステン膜上に中間層のアルミニウム膜および上層タングステン膜を順次堆積する。このアルミニウム膜は、アルミニウム単層膜、あるいはシリコン (Si)、銅 (Cu)、またはSiとCuの両者を含有するアルミニウム合金膜であり、配線の抵抗を下げるために用いられている。アルミニウム合金膜中のCuの濃度は3.0%以下であり、Cuは配線のエレクトロマイグレーションを低減する効果がある。

【0039】W/A1/W積層配線19を構成する下層タングステン膜は、たとえばスパッタリング法で形成された厚さ約0.05 μ mのタングステン膜とCVD法で堆積された約0.2 μ mのタングステン膜で構成されており、中間層のアルミニウム層の厚さは、たとえば約0.6 μ m、上層タングステン膜の厚さは、たとえば約0.05 μ mである。

【0040】次に、前記レジストパターンの寸法補正方法を用いて、W/A1/W積層膜を加工するためのレジストパターンを上層タングステン膜の表面に形成する。

【0041】すなわち、まず、前記図1に示すように、上層タングステン膜上にレジストを塗布した後（前記工程100）、電子線をレジストに照射し（前記工程101）、次いで、PEB処理（前記工程102）、クーリング処理（前記工程103）、現像処理（前記工程104）を順次半導体ウエハに施すことによってレジストパターンを形成する。次いで、現像処理後の現像寸法検査（前記工程105）において測定されたレジストパターンの寸法が規格内であれば（前記工程106）、レジストパターンの位置合わせの検査を行なった後（前記工程107）、次の工程へと進む。

【0042】しかし、レジストパターンの寸法が規格外の場合は、レジストパターンの寸法データから、半導体ウエハ面内のレジストパターンの寸法補正マップを作成した後（前記工程108）、この寸法補正マップを電子線直接描画装置へ入力し（前記工程109）、次いで、寸法補正マップから、ショット毎の照射量の補正マップを作成する（前記工程110）。

【0043】この後、半導体ウエハ上のレジストパターンを除去し、再び、上層タングステン膜上にレジストを塗布し（前記工程100）、次いで、ショット毎の照射量の補正マップに基づいて各々のショット毎に最適な照射量で電子線をレジストに照射する（前記工程101）。次に、PEB処理（前記工程102）、クーリング処理（前記工程103）、現像処理（前記工程104）を順次半導体ウエハに施すことによってレジストパターン形成する。

【0044】次に、上記レジストパターンをマスクにしてW/A1/W積層膜をエッチングすることによって、第2層目の配線を構成するW/A1/W積層配線19が形成される。

【0045】第2層目の配線を構成するW/A1/W積層配線19は第2の層間絶縁膜21、22、23で覆われている。さらに、第2の層間絶縁膜21、22、23上には、第3層目の配線を構成するW/A1/W積層配線24が形成されており、W/A1/W積層配線24は、接続孔25を通して第2層目の配線であるW/A1/W積層配線19と接続している。

【0046】第3層目の配線を構成するW/A1/W積層配線24は第3の層間絶縁膜26、27、28で覆われている。さらに、第3の層間絶縁膜26、27、28上には、第4層目の配線を構成するW/A1/W積層配線29が形成されており、W/A1/W積層配線29は、接続孔30を通して第3層目の配線であるW/A1/W積層配線24と接続している。

【0047】第4層目の配線を構成するW/A1/W積層配線29は第4の層間絶縁膜31、32、33で覆われている。さらに、第4の層間絶縁膜31、32、33上には、第5層目の配線を構成するW/A1/W積層配線34が形成されており、W/A1/W積層配線34は、接続孔35を通して第4層目の配線であるW/A1/W積層配線29と接続している。

【0048】第5層目の配線を構成するW/A1/W積層配線34は第5の層間絶縁膜36、37、38で覆われている。さらに、第5の層間絶縁膜36、37、38上には、第6層目の配線を構成するアルミニウム配線（以下A1配線と略す）39が形成されており、A1配線39は、接続孔40を通して第5層目の配線であるW/A1/W積層配線34と接続している。なお、第6層目の配線にはCu配線を用いてもよい。

【0049】第6層目の配線を構成するA1配線39上にはファイナルパッシベーション膜41、42が形成されている。ファイナルパッシベーション膜41は、たとえば窒化シリコン膜によって構成されており、ファイナルパッシベーション膜42は、たとえば酸化シリコン膜によって構成されている。

【0050】ファイナルパッシベーション膜41、42上には、外部端子用引き出し配線としてのBLM (Ball

Limiting Metallurgy) 膜43が形成されており、BLM膜43と第6層目の配線であるA1配線39との接続は、接続孔45を通して行なわれる。BLM膜43は、クロム(Cr)、Cuおよび金(Au)を順次積層した構造となっており、BLM膜43上に、外部端子(ボンディングパッド)44が形成されている。

【0051】なお、前記実施の形態1では、半導体ウエハ面内におけるレジストパターンの寸法補正マップから、電子線のショット毎の照射量の補正マップを作成し、これに基づいてショット毎に最適な照射量で電子線がレジストに照射されたが、半導体ウエハ面内におけるレジストパターンの寸法補正マップから、電子線のショット毎のショットサイズの補正マップを作成し、これに基づいてショット毎に最適なショットサイズで電子線をレジストに照射してもよい。

【0052】このように、本実施の形態1によれば、たとえばバイポーラトランジスタの配線層のような微細なパターンを形成する際、電子線直接描画装置における電子線のショット毎の照射量を補正することによって、PEB処理のベーク温度のばらつきなどによるレジストパターンの寸法ばらつきを抑えることが可能となるので、寸法ばらつきの小さい高精度なレジストパターンを形成することができて、半導体ウエハ面内における微細パターンの寸法精度が向上する。

【0053】(実施の形態2) 図7は、本発明の他の実施の形態であるレジストパターンの寸法補正方法を示す工程100～工程110であり、図8は、電子線直接描画装置で作成された電子線の半導体チップ毎の照射量のデータの一例である。

【0054】本実施の形態2では、まず、前記実施の形態1の前記図1に示した前記工程100～前記工程105と同様に、半導体ウエハ上にレジストパターンを形成した後、レジストパターンの寸法が測定されて(工程105)、半導体ウエハ面内のレジストパターンの寸法データが収集される(工程106)。レジストパターンの寸法データが規格内の場合は、レジストパターンの位置合わせの検査を行なった後(工程107)、次の工程へと進む。

【0055】一方、レジストパターンの寸法データが規格外の場合は、次に、半導体ウエハ面内のレジストパターンの寸法データから、半導体ウエハ面内のレジストパターンの寸法補正マップを作成した後(工程108)、この寸法補正マップを電子線直接描画装置へ入力する(工程109)。

【0056】次いで、半導体ウエハ面内のレジストパターンの寸法補正マップから、図8に示す電子線の半導体チップ毎の照射量データが作成される(工程110)。その後、再び、半導体ウエハの表面に均一な厚さのレジストを塗布し(工程100)、次いで、前記図8に示した電子線の半導体チップ毎の照射量データに基づいて半

導体チップ毎に最適な照射量で電子線がレジストに照射される(工程101)。

【0057】次に、工程102のPEB処理、工程103のクーリング処理および工程104の現像処理を半導体ウエハに施した後、形成されたレジストパターンの寸法を測定する(工程105)。

【0058】このように、本実施の形態2によれば、電子線直接描画装置へ入力されたレジストパターンの寸法補正マップから電子線の半導体チップ毎の照射量データが作成されて、半導体チップ毎に最適な照射量で電子線がレジストに照射されるので、ショット毎に最適な照射量で電子線がレジストに照射される方法よりも、処理速度が向上する。

【0059】(実施の形態3) 図9は、本発明の他の実施の形態であるレジストパターンの寸法補正方法を示す工程100～工程110である。

【0060】本実施の形態3では、まず、前記実施の形態1の前記図1に示した前記工程100～前記工程105と同様に、半導体ウエハ上にレジストパターンを形成した後、レジストパターンの寸法が測定されて(工程105)、半導体ウエハ面内のレジストパターンの寸法データが収集される(工程106)。レジストパターンの寸法データが規格内の場合は、レジストパターンの位置合わせの検査を行なった後(工程107)、次の工程へと進む。

【0061】一方、レジストパターンの寸法データが規格外の場合は、次に、半導体ウエハ面内のレジストパターンの寸法データから、半導体ウエハ面内のレジストパターンの寸法補正マップを作成した後(工程108)、この寸法補正マップをベーク炉制御装置へ入力する(工程109)。

【0062】次いで、半導体ウエハ面内のレジストパターンの寸法補正マップから、半導体チップ毎のPEB処理のベーク温度データが作成される(工程110)。その後、再び、半導体ウエハの表面に均一な厚さのレジストを塗布し(工程100)、次いで、ほぼ一定の照射量で電子線がレジストに照射される(工程101)。

【0063】次に、工程102のPEB処理が半導体ウエハに施される。このPEB処理では、半導体チップ毎のPEB処理のベーク温度データに基づいて半導体チップ毎に最適なベーク温度でPEB処理が施されるので、半導体ウエハ上のレジストパターンの寸法ばらつきが小さくなる。

【0064】次に、工程103のクーリング処理および工程104の現像処理を半導体ウエハに施した後、形成されたレジストパターンの寸法を測定する(工程105)。

【0065】このように、本実施の形態3によれば、ベーク炉制御装置へ入力されたレジストパターンの寸法補正マップから半導体チップ毎にPEB処理のベーク温度

データが作成されて、半導体チップ毎に最適なベーク温度でPEB処理が施されるので、レジストパターンの寸法精度が向上する。

【0066】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0067】たとえば、前記実施の形態1では、レジストパターンの寸法補正方法をバイポーラトランジスタの第2層目の配線の製造方法に適用した場合について説明したが、上記バイポーラトランジスタの他の配線層の製造方法にも適用可能であり、また、微細パターンを有するいかなる半導体集積回路装置の製造方法にも適用可能である。

【0068】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0069】本発明によれば、半導体ウエハ面内におけるレジストパターンの寸法精度を向上することが可能となるので、このレジストパターンをマスクにして加工することによって寸法ばらつきの小さい高精度な微細パターンを半導体ウエハ上に形成することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態であるレジストパターンの補正方法を説明する工程図である。

【図2】半導体ウエハ面内におけるレジストパターンの寸法データを示す図である。

【図3】レジストパターンの設計寸法である0.22μmに対する半導体ウエハ面内におけるレジストパターンの寸法補正マップを示す図である。

【図4】最適照射量に対する半導体ウエハ面内における電子線のショット毎の照射量の補正マップを示す図である。

【図5】電子線のショット毎の照射量を補正した後の半導体ウエハ面内におけるレジストパターンの寸法データを示す図である。

【図6】本発明の一実施の形態を用いて形成されたバイポーラトランジスタを説明する半導体基板の要部断面図である。

【図7】本発明の他の実施の形態であるレジストパターンの補正方法を説明する工程図である。

【図8】電子線の半導体チップ毎の照射量データの一例を示す図である。

【図9】本発明の他の実施の形態であるレジストパターンの補正方法を説明する工程図である。

【符号の説明】

- 1 a 半導体基板
- 1 b 酸化シリコン膜

- 1 c 支持基板
- 2 n型エピタキシャル層
- 3 埋め込み型のn型半導体領域
- 4 酸化シリコン膜
- 4 a コレクタ開口部
- 4 b ベース開口部
- 4 c エミッタ開口部
- 5 酸化シリコン膜
- 6 コクタ電位引き上げ用n型半導体領域
- 7 p型半導体領域
- 8 p型半導体領域
- 9 n型半導体領域
- 10 a タングステン配線（第1層目の配線）
- 10 b タングステン配線（第1層目の配線）
- 10 c タングステン配線（第1層目の配線）
- 11 ベース引き出し用電極
- 12 a 絶縁膜
- 12 b 絶縁膜
- 13 接続孔
- 14 エミッタ引き出し用電極
- 15 接続孔
- 16 第1の層間絶縁膜
- 17 第1の層間絶縁膜
- 18 第1の層間絶縁膜
- 19 タングステン／アルミニウム／タングステン積層配線（第2層目の配線）
- 20 接続孔
- 21 第2の層間絶縁膜
- 22 第2の層間絶縁膜
- 23 第2の層間絶縁膜
- 24 タングステン／アルミニウム／タングステン積層配線（第3層目の配線）
- 25 接続孔
- 26 第3の層間絶縁膜
- 27 第3の層間絶縁膜
- 28 第3の層間絶縁膜
- 29 タングステン／アルミニウム／タングステン積層配線（第4層目の配線）
- 30 接続孔
- 31 第4の層間絶縁膜
- 32 第4の層間絶縁膜
- 33 第4の層間絶縁膜
- 34 タングステン／アルミニウム／タングステン積層配線（第5層目の配線）
- 35 接続孔
- 36 第5の層間絶縁膜
- 37 第5の層間絶縁膜
- 38 第5の層間絶縁膜
- 39 アルミニウム配線（第6層目の配線）
- 40 接続孔

- 41 ファイナルパッシベーション膜
42 ファイナルパッシベーション膜
43 BLM膜

- * 44 外部端子 (ボンディングパッド)
45 接続孔

*

【図1】

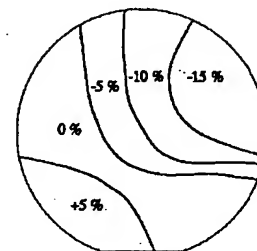
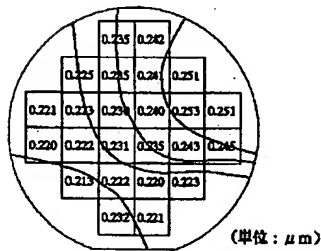
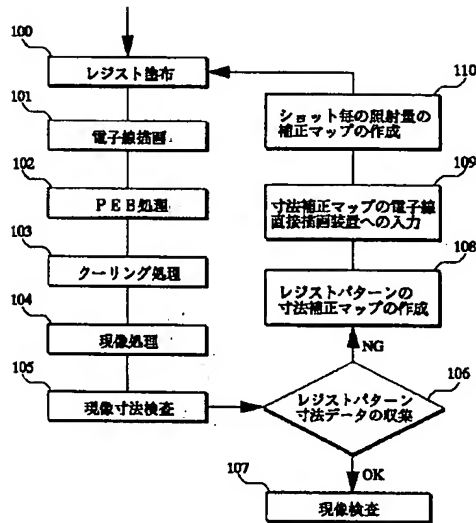
【図2】

【図4】

図 1

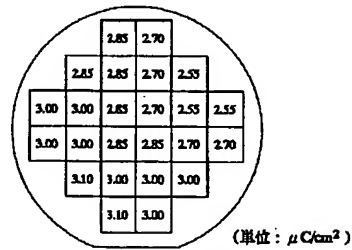
図 2

図 4



【図8】

図 8

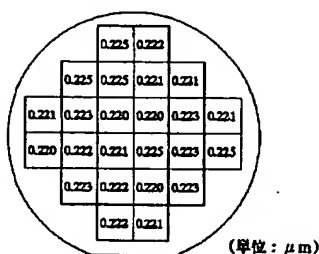
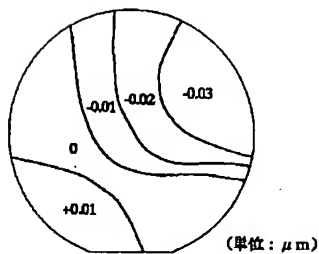


【図3】

【図5】

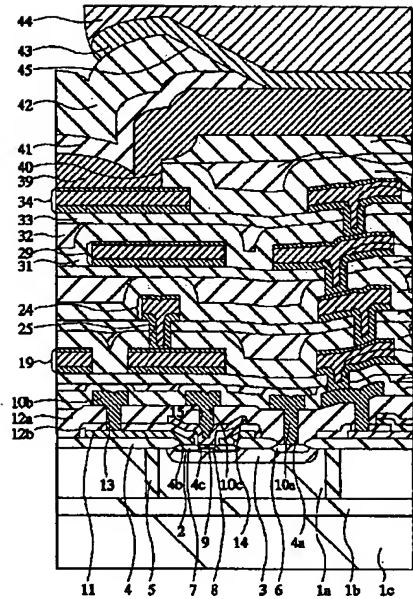
図 3

図 5



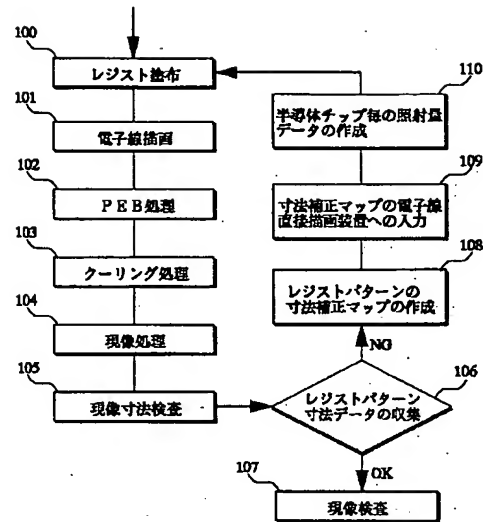
【図6】

図 6



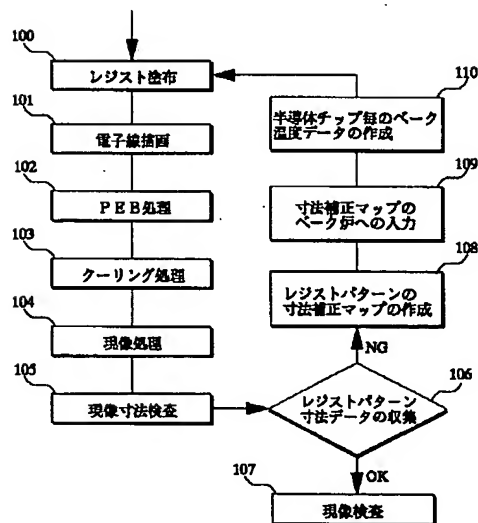
【図7】

図 7



【図9】

図 9



フロントページの続き

(72)発明者 森 重喜

東京都小平市上水本町5丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内

(72)発明者 佐藤 一彦

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内